

7-9-02  
1046 U.S. PTO  
J1046 U.S. PTO  
10/091423  
03/07/02

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yusuke KAWAGUCHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: VERTICAL-TYPE POWER MOSFET WITH A GATE FORMED IN A TRENCH

## REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2001-066707	March 9, 2001

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.


Marvin J. Spivak  
Registration No. 24,913  
C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月 9日

出願番号

Application Number:

特願2001-066707

出願人

Applicant(s):

株式会社東芝

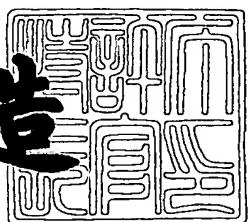
J1046 U.S. PRO  
10/091423  
03/07/02



2001年11月30日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3105542

【書類名】 特許願  
【整理番号】 46B0094461  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/78  
【発明の名称】 パワーMOSFET  
【請求項の数】 11  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内  
【氏名】 川口 雄介  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内  
【氏名】 安原 紀夫  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内  
【氏名】 中村 和敏  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
研究開発センター内  
【氏名】 中川 明夫  
【発明者】  
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内  
【氏名】 小野 昇太郎  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 パワーMOSFET

【特許請求の範囲】

【請求項1】 対向する第1主面及び第2主面を有する低抵抗の第一導電型半導体基板と、

前記半導体基板の第1主面上に形成された第一導電型ドリフト層と、

前記ドリフト層上に形成された高抵抗の第一導電型エピタキシャル層と、

前記エピタキシャル層の表面から前記ドリフト層中に達するように形成されたトレンチ溝と、

前記トレンチ溝の側面および底面にゲート絶縁膜を介して前記トレンチ溝内に埋め込まれたゲート電極と、

前記エピタキシャル層の表面に前記トレンチ溝に接して形成された低抵抗の第一導電型ソース層と、

前記エピタキシャル層の表面に形成された第二導電型ベース層と、

前記ソース層と前記ベース層とに電気的に接続されたソース電極と、

前記半導体基板の第2主面に電気的に接続されたドレイン電極とを具備し、

前記トレンチ溝に挟まれた前記エピタキシャル層は、前記ソース電極と前記ゲート電極の間の電圧が印可されないときに空乏化するように形成することを特徴とするパワーMOSFET。

【請求項2】 前記ドリフト層は、その厚さを  $t$ 、装置のブレークダウン電圧を  $BV$ 、シリコンの降伏臨界電界を  $3 \times 10^5 \text{ V/cm}$  とすると、

$$t < BV / 3 \times 10^5 \text{ V/cm}$$

の関係式を満たすように形成されていることを特徴とする請求項1に記載のパワーMOSFET。

【請求項3】 前記トレンチ溝に挟まれた前記エピタキシャル層の幅が  $0.8 \mu \text{m}$  以下であることを特徴とする請求項1、または2に記載のパワーMOSFET。

【請求項4】 前記トレンチ溝に挟まれた前記エピタキシャル層の不純物濃度が

1 e 1 5 c m - 3 以下であることを特徴とする請求項1乃至3のいずれか1項に記載のパワーMOSFET。

【請求項5】 前記トレンチ溝は、前記半導体基板まで到達していることを特徴とする請求項1乃至4のいずれか1項に記載のパワーMOSFET。

【請求項6】 対向する第1主面及び第2主面を有する低抵抗の第1導電型半導体基板と、

前記半導体基板の第1主面上に形成された第1導電型ドリフト層と、

前記ドリフト層上に形成された高抵抗の第1導電型エピタキシャル層と、

前記エピタキシャル層の表面から前記半導体基板中に達するように形成されたトレンチ溝と、

前記トレンチ溝の側面および底面にゲート絶縁膜を介して前記トレンチ溝内に埋め込まれたゲート電極と、

前記エピタキシャル層の表面に前記トレンチ溝に接して形成された低抵抗の第1導電型ソース層と、

前記エピタキシャル層の表面に形成された第2導電型ベース層と、

前記ソース層と前記ベース層とに電気的に接続されたソース電極と、

前記半導体基板の第2主面に電気的に接続されたドレイン電極とを具備し、

前記トレンチ溝に挟まれた前記エピタキシャル層は、前記ソース電極と前記ゲート電極の間の電圧が印可されないときに空乏化するように形成され、前記ゲート絶縁膜は、前記エピタキシャル層の側面に対応する部分の膜厚が、それ以外の部分の膜厚よりも薄いことを特徴とするパワーMOSFET。

【請求項7】 前記ドリフト層の不純物濃度は、前記ソース電極側よりも前記ドレイン電極側のほうが高いことを特徴とする請求項6に記載のパワーMOSFET。

【請求項8】 前記ドリフト層の不純物濃度は、前記ソース電極側が 1 ~ 7 e 1 6 c m - 3 、前記ドレイン電極側が 1 ~ 3 e 1 7 c m - 3 であることを特徴とする請求項7に記載のパワーMOSFET。

【請求項9】 前記ドリフト層は、その厚さを  $t$  、装置のブレークダウン電圧を

B V、シリコンの降伏臨界電界を  $3 \times 10^5$  V/cm とすると、

$$t < B V / 3 \times 10^5 \text{ V/cm}$$

の関係式を満たすように形成されていることを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載のパワーMOSFET。

【請求項 10】 前記トレンチ溝に挟まれた前記エピタキシャル層の幅が  $0.8 \mu\text{m}$  以下であることを特徴とする請求項 6 乃至 9 のいずれか 1 項に記載のパワーMOSFET。

【請求項 11】 前記トレンチ溝に挟まれた前記エピタキシャル層の不純物濃度が  $1 \times 10^{15} \text{ cm}^{-3}$  以下であることを特徴とする請求項 6 乃至 10 のいずれか 1 項に記載のパワーMOSFET。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パワーMOSFETに関し、特に耐圧  $100\text{V}$  以下のトレンチゲート縦型パワーMOSFET（以下、単にMOSFETと称する）に関する。

【0002】

【従来の技術】

近年、パワーMOSFETは、大電流、高耐圧のスイチング電源市場に加え、ノート型パソコンをはじめとする移動体通信機器等の省エネルギー用スイッチ市場での使用が急増しているが、パワーマネジメント回路や、リチウムイオン電池の安全回路に使用されるため、電池電圧で直接に駆動できる低電圧駆動化及び低オン抵抗化が強く要望されている。

【0003】

従来、この種のMOSFETは、図9に示すような構造になっている。図9は、従来のnチャネルMOSFETの単位セル部分の構造を示す断面図である。このトレンチゲートMOSFETは、n+型ドレイン層としてのn+型シリコン基板101上に、n-型ドリフト層102が、厚さ、例えば、 $2.0 \mu\text{m}$  に形成され、前記n-型ドリフト層102上には、p型ベース層103が形成されている。前記p型ベース層103及び前記n-型ドリフト層102内には、前記p型ベ

ース層103を貫通し、前記n-型ドリフト層102の途中の深さまで達する深さの複数のトレンチ溝104が形成されている。前記トレンチ溝104内には、例えば、25nmの厚みのゲート絶縁膜105を介してゲート電極106が埋め込み形成されている。

#### 【0004】

そして、前記p型ベース層103の表面には、前記トレンチ溝104に接してn+型ソース層107が選択的に拡散形成されている。また、前記n+型ソース層107間の前記p型ベース層103の表面には、p+型層108が選択的に拡散形成されている。前記n+型ソース層107及び前記p+型層108の両方にコンタクトするように、ソース電極109が設けられている。また、前記N+型シリコン基板101の前記n-型ドリフト層102と反対側の第2主面には、ドレイン電極110が設けられている。

#### 【0005】

このようなMOSFETでは、素子のオン抵抗は、主にチャネル抵抗とドリフト層抵抗によるため、従来は、図中aで示す単位セルの幅を縮小することにより、チャネル密度を増加させ、素子のオン抵抗を低減させてきた。

#### 【0006】

しかしながら、近年、製造プロセスの進歩による微細化が進み、単位セルの幅aは縮小化し、それに伴ってチャネル密度が高くなってきており、MOSFETのオン抵抗は、上述したドリフト層抵抗が全体の2/3を占めるまでになっている。そのため、今以上に、微細化技術を進め、単一セルの幅aを縮小してもオン抵抗を大きく低減することはできないという問題点がある。例えば、30V系のMOSFETでは、オン抵抗を $20\text{ m}\Omega \cdot \text{mm}^2$ 以下に下げるることは非常に困難である。

#### 【0007】

この問題を解決するために、図10に示すように、ゲート絶縁膜を厚くすることにより、ドリフト層の厚さを薄くして、ドリフト層の抵抗を低減する構造のMOSFETが提案されている。

即ち、図10に示すように、n+型シリコン基板101上に、n-型ドリフト層

120及びp型ベース層103が積層形成され、前記p型ベース層103及び前記n-型ドリフト層120内に、前記p型ベース層103を貫通し、前記n-型ドリフト層120の途中の深さまで達する深さの複数のトレンチ溝104が形成されている。

#### 【0008】

前記トレンチ溝104内に、厚い膜厚のゲート絶縁膜125を介してゲート電極106が埋め込み形成され、前記p型ベース層103の表面に、前記トレンチ溝104に接してn+型ソース層107が、また前記n+型ソース層107間にp+型層108が、夫々、選択的に拡散形成され、前記n+型ソース層107及び前記p+型層108の両方にコンタクトするように、ソース電極109が設けられ、前記N+型シリコン基板101の前記n-型ドリフト層102と反対側の第2正面に、ドレイン電極110が設けられている。

#### 【0009】

そして、前記ゲート絶縁膜125を、図9に示すMOSFETにおける25nmの厚さに対して、100nmと厚く形成して、前記ゲート電極と前記ドレイン電極間に印加される電圧を前記ゲート絶縁膜に分担させることにより、前記n-型ドリフト層120の厚みを、図9に示すMOSFETにおける2.0μmの厚さに対して、0.5μmと薄くして、前記n-型ドリフト層120の抵抗を低減するようにしている。

#### 【0010】

しかし、このMOSFETでは、以下の問題が生じる。即ち、単にゲート絶縁膜を厚くして、ドリフト層の厚さを薄くした場合、ドリフト層の抵抗は、低減できるが、逆にチャネルの閾値電圧が高くなり、同じゲート電圧を印加したときのチャネル抵抗が高くなる。そのため、素子全体としてのオン抵抗を低減することが困難である。

#### 【0011】

##### 【発明が解決しようとする課題】

上述したように、図9及び図10に示す、従来のいずれのMOSFETにおいても、素子の微細化に対してオン抵抗を低減できないという問題点があった。

【0012】

本発明は、上記課題に鑑みなされたもので、微細化に対してオン抵抗の低減が可能なパワーMOSFETを提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するため、請求項1に係わる発明のパワーMOSFETでは、対向する第1主面及び第2主面を有する低抵抗の第一導電型半導体基板と、前記半導体基板の第1主面上に形成された第一導電型ドリフト層と、前記ドリフト層上に形成された高抵抗の第一導電型エピタキシャル層と、前記エピタキシャル層の表面から前記ドリフト層中に達するように形成されたトレンチ溝と、前記トレンチ溝の側面および底面にゲート絶縁膜を介して前記トレンチ溝内に埋め込まれたゲート電極と、前記エピタキシャル層の表面に前記トレンチ溝に接して形成された低抵抗の第一導電型ソース層と、前記エピタキシャル層の表面に形成された第二導電型ベース層と、前記ソース層と前記ベース層とに電気的に接続されたソース電極と、前記半導体基板の第2主面上に電気的に接続されたドレイン電極とを具備し、前記トレンチ溝に挟まれた前記エピタキシャル層は、前記ソース電極と前記ゲート電極の間の電圧が印可されないときに空乏化するように形成されていることを特徴としている。

【0014】

この構成により、チャネル領域は、従来の反転層と異なり蓄積層からなる。この蓄積層は、同じゲート電圧において、従来の反転層に比べてチャネル領域を厚く（深く）形成でき、チャネル領域の断面積を大きくできる。しかもチャネル領域の表面濃度を高くできる。そのため、従来に比べてチャネル抵抗を低減できる。また、ゲート電極の底面におけるゲート絶縁膜の膜厚を厚く形成しているので、n-型ドリフト層の抵抗も低減でき、従って、従来のパワーMOSFETに比べて、素子のオン抵抗を低減できる。

【0015】

また、請求項2に係わる発明のパワーMOSFETでは、請求項1の発明において、前記ドリフト層は、その厚さをt、装置のブレークダウン電圧をBV、シ

リコンの降伏臨界電界を  $3 \times 10^5$  V/cm とすると、

$$t < B V / 3 \times 10^5 \text{ V/cm}$$

の関係式を満たすように形成されていることを特徴としている。

【0016】

また、請求項3に係わる発明のパワーMOSFETでは、請求項1、または2の発明において、前記トレンチ溝に挟まれた前記エピタキシャル層の幅が  $0.8 \mu\text{m}$  以下であることを特徴としている。

【0017】

また、請求項4に係わる発明のパワーMOSFETでは、請求項1乃至3のいずれかの発明において、前記トレンチ溝に挟まれた前記エピタキシャル層の不純物濃度が  $1 \times 10^{15} \text{ cm}^{-3}$  以下であることを特徴としている。

【0018】

また、請求項5に係わる発明のパワーMOSFETでは、請求項1乃至4のいずれかの発明において、前記トレンチ溝は、前記半導体基板まで到達していることを特徴としている。

【0019】

この構成によれば、チャネル領域をより深く形成でき、よりチャネル領域の断面積を大きくでき、且つより表面濃度を高くできるため、チャネル抵抗をより低減できる。また、n-型ドリフト層の不純物濃度が1桁高くなつておりn-型ドリフト層の抵抗を低減でき、またゲート電極の底面とn+型シリコン基板との間にn-型ドリフト層部分が存在しないので、更に、n-型ドリフト層の抵抗を低減でき、その結果、素子のオン抵抗を大きく低減できる。

【0020】

更に、請求項6に係わる発明のパワーMOSFETでは、対向する第1主面及び第2主面を有する低抵抗の第一導電型半導体基板と、前記半導体基板の第1主面上に形成された第一導電型ドリフト層と、前記ドリフト層上に形成された高抵抗の第一導電型エピタキシャル層と、前記エピタキシャル層の表面から前記半導体基板中に達するように形成されたトレンチ溝と、前記トレンチ溝の側面および底面にゲート絶縁膜を介して前記トレンチ溝内に埋め込まれたゲート電極と、前

記エピタキシャル層の表面に前記トレンチ溝に接して形成された低抵抗の第一導電型ソース層と、前記エピタキシャル層の表面に形成された第二導電型ベース層と、前記ソース層と前記ベース層とに電気的に接続されたソース電極と、前記半導体基板の第2主面に電気的に接続されたドレイン電極とを具備し、前記トレンチ溝に挟まれた前記エピタキシャル層は、前記ソース電極と前記ゲート電極との間の電圧が印可されないときに空乏化するように形成され、前記ゲート絶縁膜は、前記エピタキシャル層の側面に対応する部分の膜厚が、それ以外の部分の膜厚よりも薄いことを特徴としている。

#### 【0021】

この構成によれば、チャネル領域をより深く形成でき、よりチャネル領域の断面積を大きくでき、且つより表面濃度を高くできるため、チャネル抵抗をより低減できる。また、n-型ドリフト層の不純物濃度が1桁高くなつておりn-型ドリフト層の抵抗を低減でき、またゲート電極の底面とn+型シリコン基板との間にn-型ドリフト層部分が存在しないので、更に、n-型ドリフト層の抵抗を低減でき、その結果、素子のオン抵抗を大きく低減できる。

#### 【0022】

また、請求項7に係わる発明のパワーMOSFETでは、請求項6の発明において、前記ドリフト層の不純物濃度は、前記ソース電極側よりも前記ドレイン電極側のほうが高いことを特徴としている。

#### 【0023】

また、請求項8に係わる発明のパワーMOSFETでは、請求項7の発明において、前記ドリフト層の不純物濃度は、前記ソース電極側が $1 \sim 7 \times 10^{-3}$ 、前記ドレイン電極側が $1 \sim 3 \times 10^{-3}$ であることを特徴としている。

#### 【0024】

この請求項7および8の発明によれば、n-型ドリフト層とn+型シリコン基板との接合部分における電界を低くでき、耐圧を向上できる。

#### 【0025】

また、請求項9に係わる発明のパワーMOSFETでは、請求項6乃至8のいずれかの発明において、前記ドリフト層は、その厚さをt、装置のブレークダウ

ン電圧をBV、シリコンの降伏臨界電界を $3 \times 10^5$  V/cmとすると、

$$t < BV / 3 \times 10^5 \text{ V/cm}$$

の関係式を満たすように形成されていることを特徴としている。

#### 【0026】

また、請求項10に係わる発明のパワーMOSFETでは、請求項6乃至9のいずれかの発明において、前記トレンチ溝に挟まれた前記エピタキシャル層の幅が $0.8 \mu\text{m}$ 以下であることを特徴としている。

#### 【0027】

また、請求項11に係わる発明のパワーMOSFETでは、請求項6乃至10のいずれかの発明において、前記トレンチ溝に挟まれた前記エピタキシャル層の不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以下であることを特徴としている。

#### 【0028】

##### 【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。以下の実施の形態では、第一導電型をn型、第二導電型をp型として説明する。

##### (第1の実施の形態)

図1は、本発明の第1の実施の形態に係わるnチャンネル型のトレンチゲート縦型パワーMOSFETの単位セル部分の構造を模式的に示す断面図である。

#### 【0029】

図1に示すように、このMOSFETは、n+型ドレイン層としてのn+型シリコン基板(半導体基板)1の第1主面上に、n-型ドリフト層2が形成され、前記n-型ドリフト層2上には、n-型ベース層としてのn-型エピタキシャル層(ベース層)3がエピタキシャル成長により形成されている。

#### 【0030】

前記n-型ベース層3及び前記n-型ドリフト層2内には、前記n-型ベース層3を貫通し、前記n-型ドリフト層2の途中の深さまで達する深さの複数のトレンチ溝4が形成されている。前記トレンチ溝4内には、ゲート絶縁膜5を介してゲート電極(制御電極)6が埋め込み形成されている。

#### 【0031】

そして、前記n--型ベース層3の表面には、前記トレンチ溝4に接してn+型ソース層7が選択的に拡散形成されている。また、前記n+型ソース層7間の前記n--型ベース層3の表面には、p+型ベース層8が選択的に拡散形成されている。前記n+型ソース層7及び前記p+型ベース層8の両方にコンタクトするよう、第1の主電極としてのソース電極9が設けられている。また、前記N+型シリコン基板1の前記n-型ドリフト層2と反対側の第2主面には、第2の主電極としてのドレイン電極10が設けられている。

#### 【0032】

本実施形態では、従来のp型ベース層を高抵抗のn-型に代え、前記n--型ベース層3を、前記ソース電極9と前記ゲート電極6との間に電圧が印加されないときに、完全に空乏化されるように、単位セルの幅a及び不純物濃度Nを設定している。ここでは、一例として、幅aを0.8μm、不純物濃度Nを $1 \times 10^{15} \text{ cm}^{-3}$ に形成している。

#### 【0033】

図2は、単位セルの幅aとターンオフ時のリーク電流との関係を示す図で、また図3は、n--型エピタキシャル層(ベース層)の不純物濃度とターンオフ時のリーク電流の関係を示す図である。この図2及び図3から分かるように、単位セルの幅aは、0.8μm以下で、且つ不純物濃度Nは、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以下に形成することが望ましいことが分かる。

#### 【0034】

また、n-型ドリフト層2の厚みtは、装置のブレークダウン電圧をVB、シリコンの降伏臨界電界を $3 \times 5 \text{ V/cm}$ とすると、

$$t < B V / 3 \times 5 \text{ V/cm} \quad (1)$$

の関係式を満たすように設定している。

#### 【0035】

この設定理由は、シリコンの降伏臨界電界は、 $3 \times 5 \text{ V/cm}$ で、ドリフト層2のみでゲート(ソース)電極6(9)とドレイン電極間10の電圧を分担している場合、ドリフト層2に一様な電界が掛かっていると仮定して、ブレークダウン時に、ブレークダウン電圧BV、ドリフト層の厚みtとの間には、次式の

$$t \leq BV / 3e 5V/cm \quad (2)$$

が成り立つが、本実施の形態では、ゲート絶縁膜5を厚くして、ゲート（ソース）電極6（9）とドレイン電極10間に電圧が印加されたときに、ゲート絶縁膜5に電圧を分担させるようにしているため、次式の

$$t = BV / 3e 5V/cm \quad (3)$$

の関係は、成り立たず、ドリフト層2の厚さtは、上記（1）式の関係を満たすように設定している。

#### 【0036】

本実施形態における具体的な素子寸法は、一例として次のとおり、単位セルの幅aを、0.8μm、トレンチ深さbを、2.0μm、ゲート絶縁膜厚cを、0.1μm、ドリフト層厚tを0.5μmに形成している。

#### 【0037】

次に、このMOSFETの動作について説明する。はじめに、このMOSFETのオン状態について述べる。いま、前記ソース電極10と前記ドレイン電極11との間に電圧を印可し、前記ゲート電極9に前記ソース電極10に対して正の電圧を与えると、前記n-型ベース層3の側面に蓄積層（チャンネル層）が形成され、前記n+型ソース層8から電子が前記n-型ドリフト層2に注入され、ターンオンする。オフ状態は、前記ゲート電極の電圧を0Vにすることにより、蓄積層ができなくなり、n-型ベース層が空乏層で満たされた状態になり、ターンオフとなる。

#### 【0038】

このような構成のMOSFETによれば、チャネル領域は、従来の反転層と異なり蓄積層からなる。この蓄積層は、同じゲート電圧において反転層に比べてチャネル領域を厚く（深く）形成でき、チャネル領域の断面積を大きくできる。しかもチャネル領域の表面濃度を高くできる。そのため、従来に比べてチャネル抵抗を低減できる。また、ゲート電極の下面におけるゲート絶縁膜の膜厚を厚く形成しているので、n-型ドリフト層の抵抗も低減でき、従って、従来のMOSFETに比べて、素子のオン抵抗を低減できる。例えば、耐圧36V、オン抵抗4.8mΩと従来例のオン抵抗20mΩと比較してオン抵抗は、1/4程度に低減

できる。また、閾値も1Vと低い値にすることができる。

(第2の実施の形態)

図4は、本発明の第2の実施の形態に係わるnチャンネル型のトレンチゲート縦型パワーMOSFETの単位セル部分の構造を模式的に示す断面図である。

【0039】

この実施の形態が、上記第1の実施の形態と異なる点は、トレンチ溝をn+型シリコン基板に達するように形成し、且つゲート絶縁膜をn-型エピタキシャル層に対応する部分におけるゲート絶縁膜部分の膜厚をそれ以外の部分における膜厚に比べて薄く形成した点にある。

【0040】

即ち、図4に示すように、このMOSFETは、n+型ドレイン層としてのn+型シリコン基板21の第1主面上に、n-型ドリフト層22が形成され、前記n-型ドリフト層22上には、n-型ベース層としてのn-型エピタキシャル層23がエピタキシャル成長により形成されている。

【0041】

前記n-型ベース層23、前記n-型ドリフト層22及びn+シリコン基板21内には、前記n-型ベース層23及び前記n-型ドリフト層22を貫通し、前記n+型シリコン基板21の途中の深さまで達する深さの複数のトレンチ溝24が形成されている。前記トレンチ溝24内には、厚いゲート膜部分25aと薄いゲート絶縁膜部分25bとからなるゲート絶縁膜25を介してゲート電極(制御電極)26が埋め込み形成されている。

【0042】

そして、前記n-型ベース層23の表面には、前記トレンチ溝24に接してn+型ソース層27が選択的に拡散形成されている。また、前記n+型ソース層27間の前記n-型ベース層23の表面には、p+型ベース層28が選択的に拡散形成されている。前記n+型ソース層27及び前記p+型ベース層28の両方にコンタクトするように、第1の主電極としてのソース電極29が設けられている。また、前記n+型シリコン基板21の前記n-型ドリフト層22と反対側の第2主面には、第2の主電極としてのドレイン電極30が設けられている。

## 【0043】

本実施形態では、上記第1の実施の形態と同様に、従来のp型ベース層を高抵抗のn-型に代え、そして前記n-型ベース層23は、前記ソース電極29と前記ゲート電極26との間に電圧が印加されないときに、0Vにクランプされ、且つ完全に空乏化されるように、横方向の幅及び不純物濃度に形成している。

## 【0044】

また、前記n-型ベース層23の側面に対応する前記ゲート絶縁膜部分25bを、薄い膜厚、例えば25nmに形成して、前記ソース電極29と前記ゲート電極26との間に電圧が印加されないときに、前記n-型ベース層23が完全に0Vにクランプされ、また低い正電圧により、n-型ベース層23側面にチャネルとしての蓄積層が形成されるようにしている。そして、それ以外の前記n-型ドリフト層22の側面及び前記n+型シリコン基板21上面部分に対応するゲート絶縁膜部分25aを、厚い膜厚、例えば150nmに形成して、前記n-型ドリフト層22に掛かる電圧を分担させ、前記n-型ドリフト層22の耐圧を向上させるようにしている。

## 【0045】

更に、前記トレンチ溝24を前記n+型シリコン基板21に達する深さに形成して、上記第1実施の形態における前記ゲート電極26の底面と前記n+型シリコン基板21間に存在する前記n-型ドリフト層22による抵抗成分を除去するようにしている。

## 【0046】

図5は、n-型ドリフト層のドレイン側端の濃度と耐圧との関係曲線を示す。これから分かるように、耐圧、オン抵抗は、前記n-型ドリフト層のドレイン側端の濃度の依存する。即ち、前記トレンチ溝24を前記n+型シリコン基板21に達するように設ける場合には、前記n-型ドリフト層の前記n+型シリコン基板(ドレイン)側の不純物濃度を調整すると、望ましい耐圧とオン抵抗を得ることができる。例えば、耐圧36Vを得るために、ドリフト層のドレイン側端の濃度を $2.3 \times 10^{17} \text{ cm}^{-3}$ とすればよく、またオン抵抗も、従来よりも低い、 $1.63 \text{ m}\Omega \cdot \text{mm}^2$ の値が得られる。従って、望ましい耐圧30Vで、従来のオ

ン抵抗  $20 \text{ m}\Omega \cdot \text{mm}^2$  以下のオン抵抗を得るために、不純物濃度は、  $1.0 \sim 3.0 \times 10^{17} \text{ cm}^{-3}$  にすればよい。

#### 【0047】

本実施形態における具体的な素子寸法は、一例として次のとおり、単位セルの幅  $a$  を、  $0.8 \mu\text{m}$ 、トレンチ深さ  $b$  を、  $2.0 \mu\text{m}$ 、薄いゲート絶縁膜部分の膜厚  $c_2$  を、  $25 \text{ nm}$ 、厚いゲート絶縁膜部分の膜厚  $c_1$  を、  $150 \text{ nm}$ 、ドリフト層厚 ( $t$ ) を  $1, 2 \mu\text{m}$  に形成する。

#### 【0048】

次に、本実施の形態のパワーMOSFETの製造方法について、図6乃至図8を用いて説明する。図6乃至図8は、その製造工程の工程断面図である。まず、図6 (a) に示すように、 $n+$ 型シリコン基板21上に $n-$ 型ドリフト層22及び $n-$ 型ベース層23を、順次、エピタキシャル成長形成する。

#### 【0049】

次いで、図6 (b) に示すように、拡散マスクを用いて $n+$ 型ソース層27を前記 $n-$ 型ベース層23の表面に選択形成する。続いて、図6 (c) に示すように、前記 $n+$ 型ソース層27を含む前記 $n-$ 型ベース層23上の所定領域にエッティングマスク40を設け、前記エッティングマスクをマスクにして、例えば、反応性イオンエッティング (Reactive Ion Etching: 以下、RIEと言う) 法等により異方性エッティングを行って、前記 $n-$ 型ベース層23表面から前記 $n+$ 型シリコン基板21の途中まで達する深さのトレンチ溝24を形成する。

#### 【0050】

次いで、図6 (d) に示すように、周知の熱酸化法等で前記トレンチ溝24の側面及び底面に厚いゲート絶縁膜25aを  $150 \text{ nm}$  の厚み形成する。

#### 【0051】

次いで、図7 (e) に示すように、化学気相成長 (Chemical Vaper Deposit ion: 以下、CVD) 法等で前記トレンチ溝24にポリシリコン等のゲート電極材料41を、前記 $n-$ 型ドリフト層22の厚み  $t$  以下に形成する。続いて、図7 (f) に示すように、前記ゲート電極材料41で覆われなかった前記ゲート絶縁膜25a部分、即ち前記 $n-$ 型ベース層23及びこれと隣接する前記 $n-$ 型ドリ

フト層22部分の側壁上のゲート絶縁膜25a部分をエッティング除去する。

【0052】

次いで、図7(g)に示すように、周知の熱酸化法等により前記ゲート絶縁膜25aが除去された前記n-型ペー層23及び前記n-型ドリフト層22部分の側壁に薄いゲート絶縁膜25bを25nmの厚みに形成する。

【0053】

次いで、前記ゲート電極材料膜41を除去した後、図7(h)に示すように、改めてポリシリコン等のゲート電極材料膜42を、前記トレンチ溝24内を埋め込むようにCVD法等により堆積する。

【0054】

次いで、図8(i)に示すように、周知のエッチバック法等により前記n-型ベース層23上面の前記ゲート電極材料膜42を除去して前記トレンチ溝24内にゲート電極26を埋め込み形成する。

【0055】

次いで、図8(j)に示すように、拡散マスクを用いて前記n+型ソース層27間の前記n-型ベース層23表面にp+型ベース層28を選択的に拡散形成した後、図8(k)に示すように、前記n+型ソース層27と前記p+型ベース層28の両方にコンタクトするように、ソース電極29を形成し、また前記n+型シリコン基板21の前記n-型ドリフト層22と反対側の下面にドレイン電極30を形成することによりパワーMOSFETを完成する。

【0056】

このような構成のMOSFETによれば、上記第1の実施の形態と同様に、チャネル抵抗を低減できることは勿論、更に、前記n-型ドリフト層の不純物濃度が1桁高くなっている、前記n-型ドリフト層の抵抗を低減でき、また前記ゲート電極の底面と前記n+型シリコン基板との間に前記n-型ドリフト層部分が存在しないので、更に、前記n-型ドリフト層の抵抗を低減でき、その結果、素子のオン抵抗を大きく低減できる。そして、例えば、前記n-型ドリフト層のドレイン側端の濃度を $2.3 \times 10^{17} \text{ cm}^{-3}$ とすれば、耐圧36V、従来よりも低い、 $1.63 \text{ m}\Omega \cdot \text{mm}^2$ の値のオン抵抗が得られる。

【0057】

なお、本発明は、上記実施形態に限定されず、その要旨を逸脱しない範囲で、種々、変形して実施してもよいことは勿論である。

【0058】

また、上記第1の実施の形態と第2の実施の形態を組み合わせてもよいことは勿論である。例えば、第1の実施の形態において、ゲート絶縁膜の膜厚をn--型ベース層とn-型ドリフト層部分で異ならしめてもよい。

【0059】

また、第1の実施の形態において、トレンチ溝をn+型シリコン基板に達するように形成してもよい。

【0060】

また、第1の実施の形態において、n-型ドリフト層の不純物濃度を、ソース側よりドレイン側の方を高く形成してもよい。

【0061】

また、第2の実施の形態において、n-型ドリフト層の厚みtを、第1の実施の形態における関係式を満たすように形成してもよい。

【0062】

【発明の効果】

以上説明したように、本発明によれば、微細化に対応して素子のオン抵抗を低減することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係わるパワーMOSFETの単一セル部分の構造を模式的に示す断面図である。

【図2】 本発明の第1に実施の形態に係わる単位セルの幅aとターンオフ時のリーキ電流との関係を示す特性図である。

【図3】 本発明の第1に実施の形態に係わるn-型エピタキシャル層（ベース層）の不純物濃度とターンオフ時のリーキ電流との関係を示す特性図である。

【図4】 本発明の第2の実施の形態に係わるパワーMOSFETの単一セル部分の構造を模式的に示す断面図である。

【図5】 本発明の第2の実施の形態に係わるn-型ドリフト層のドレイン側濃度と耐圧との関係を示す曲線図である。

【図6】 本発明の第2の実施の形態に係わるパワーMOSFETの単位セル部分の製造工程を示す工程断面図である。

【図7】 本発明の第2の実施の形態に係わるパワーMOSFETの単位セル部分の製造工程を示す工程断面図である。

【図8】 本発明の第2の実施の形態に係わるパワーMOSFETの単位セル部分の製造工程を示す工程断面図である。

【図9】 従来のパワーMOSFETの単一セル部分の構造を模式的に示す断面図である。

【図10】 従来の他のパワーMOSFETの単一セル部分の構造を模式的に示す断面図である。

【符号の説明】

- 1、21、101…n+型シリコン基板（半導体基板）
- 2、22、102、120…n-型ドリフト層
- 3、23、103…n-型エピタキシャル層（ベース層）
- 4、24、104…トレンチ溝
- 5、25、105、125…ゲート絶縁膜
- 6、26、106…ゲート電極（制御電極）
- 7、27、107…n+型ソース層
- 8、28、108…p+型層（p+型ベース層）
- 9、29、109…ソース電極
- 10、30、110…ドレイン電極
- 25a…厚いゲート絶縁膜部分
- 25b…薄いゲート絶縁膜部分
- 40…エッチングマスク
- 41、42…ゲート電極材料膜
- a…単一セルの幅
- b…トレンチ溝の深さ

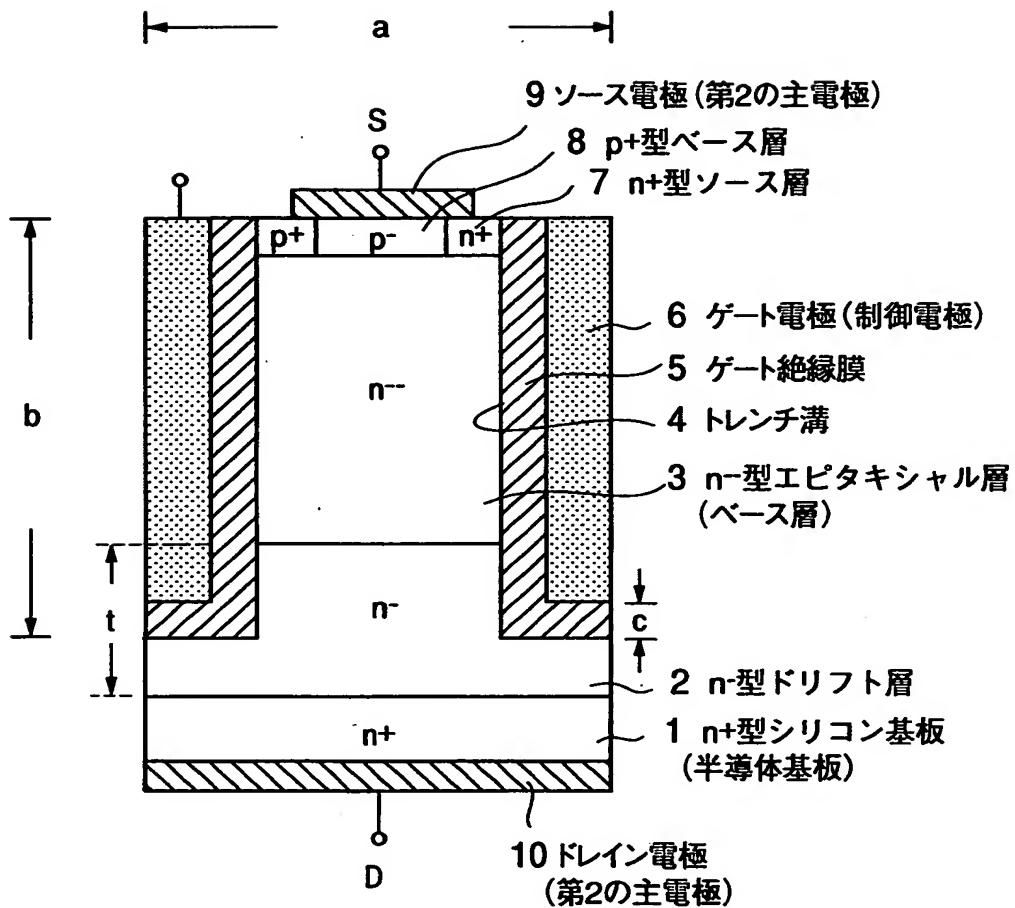
特2001-066707

c … ゲート絶縁膜の厚さ

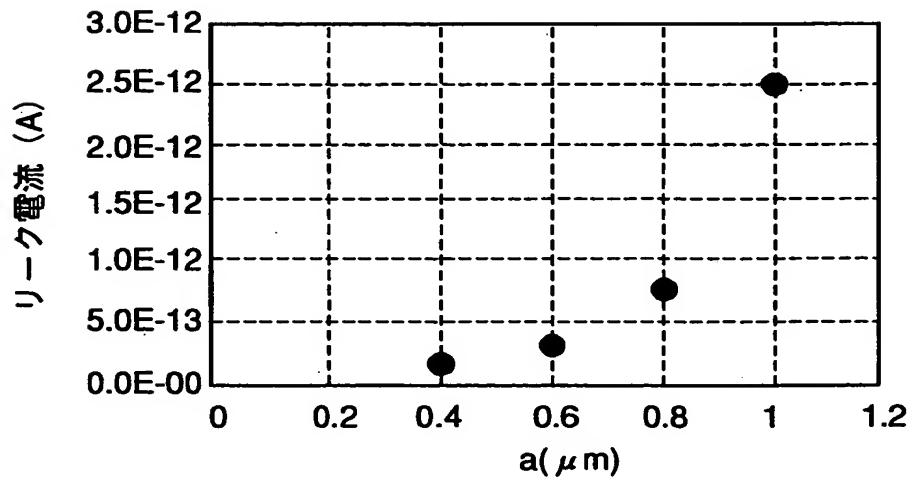
t … n-型ドリフト層の厚さ

【書類名】 図面

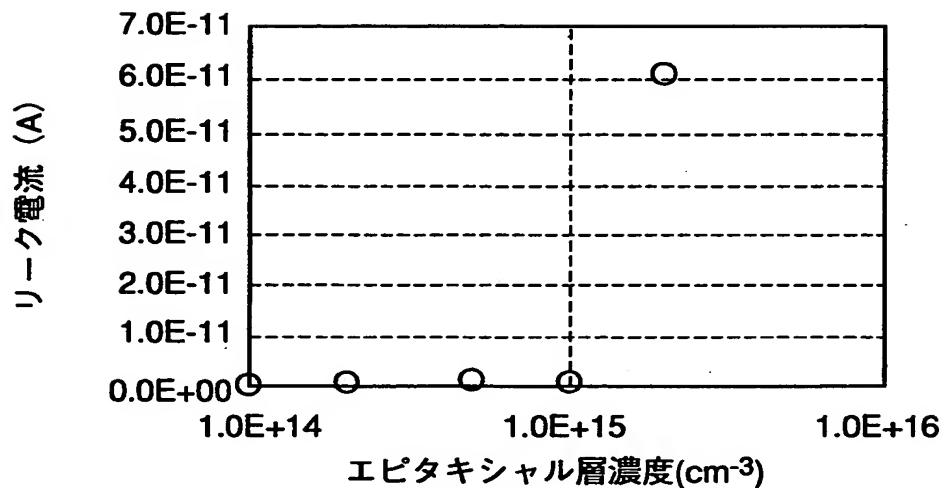
【図1】



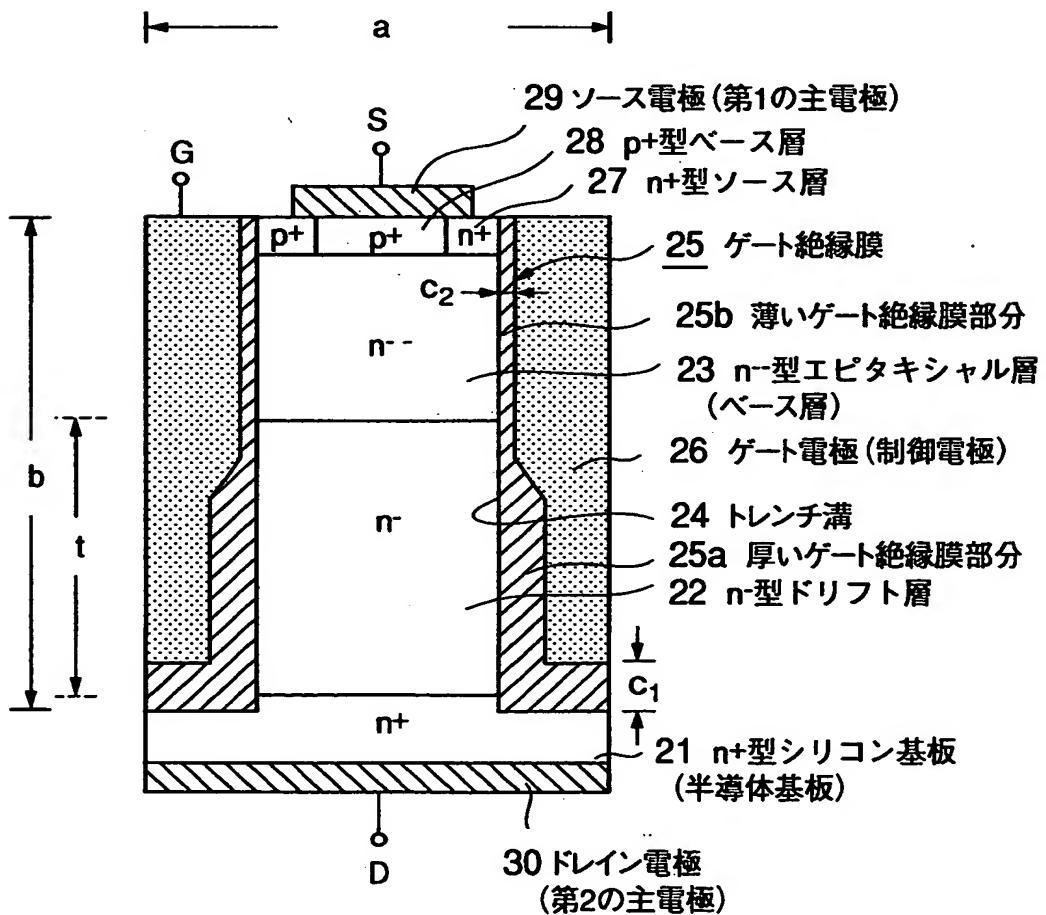
【図2】



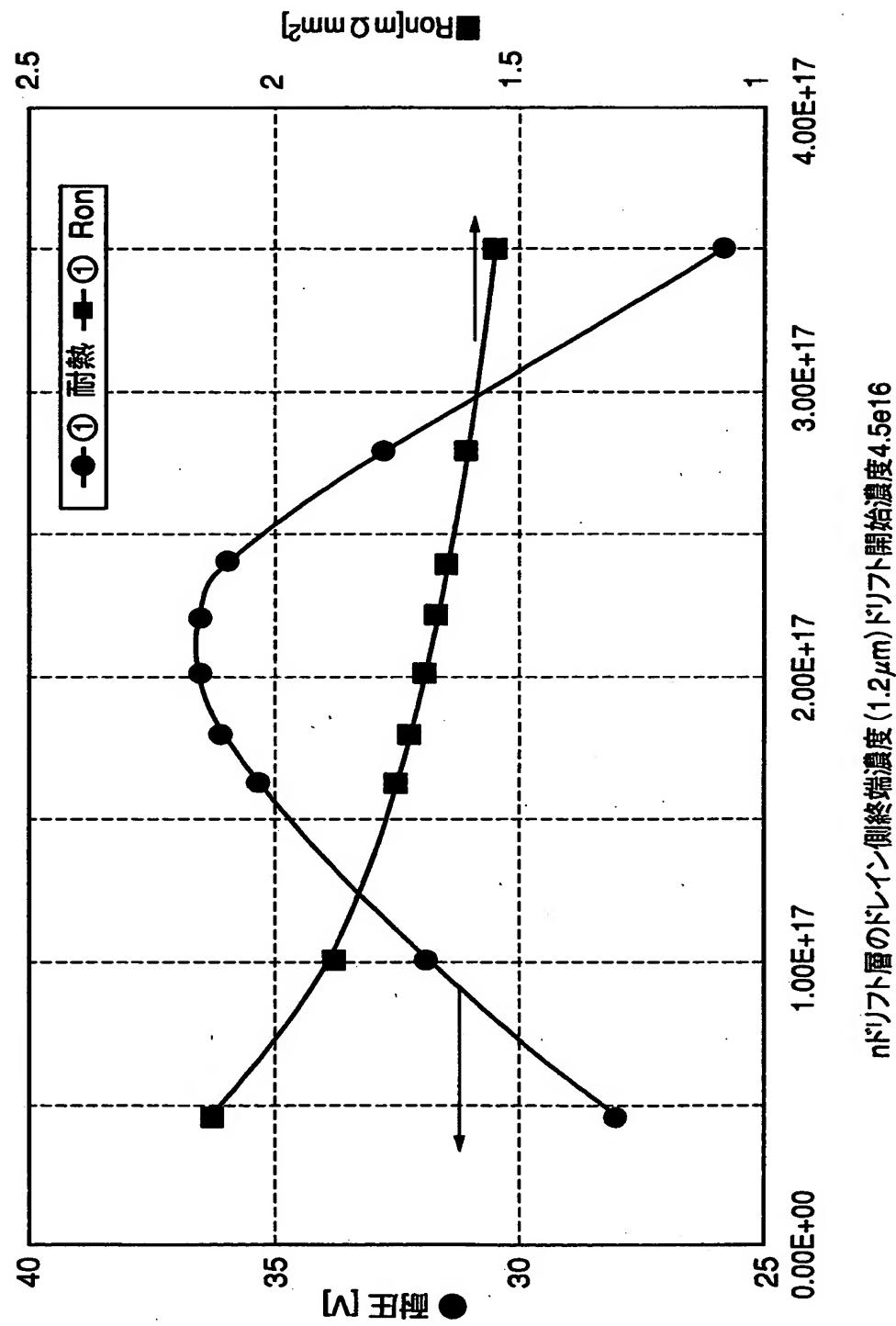
【図3】



【図4】

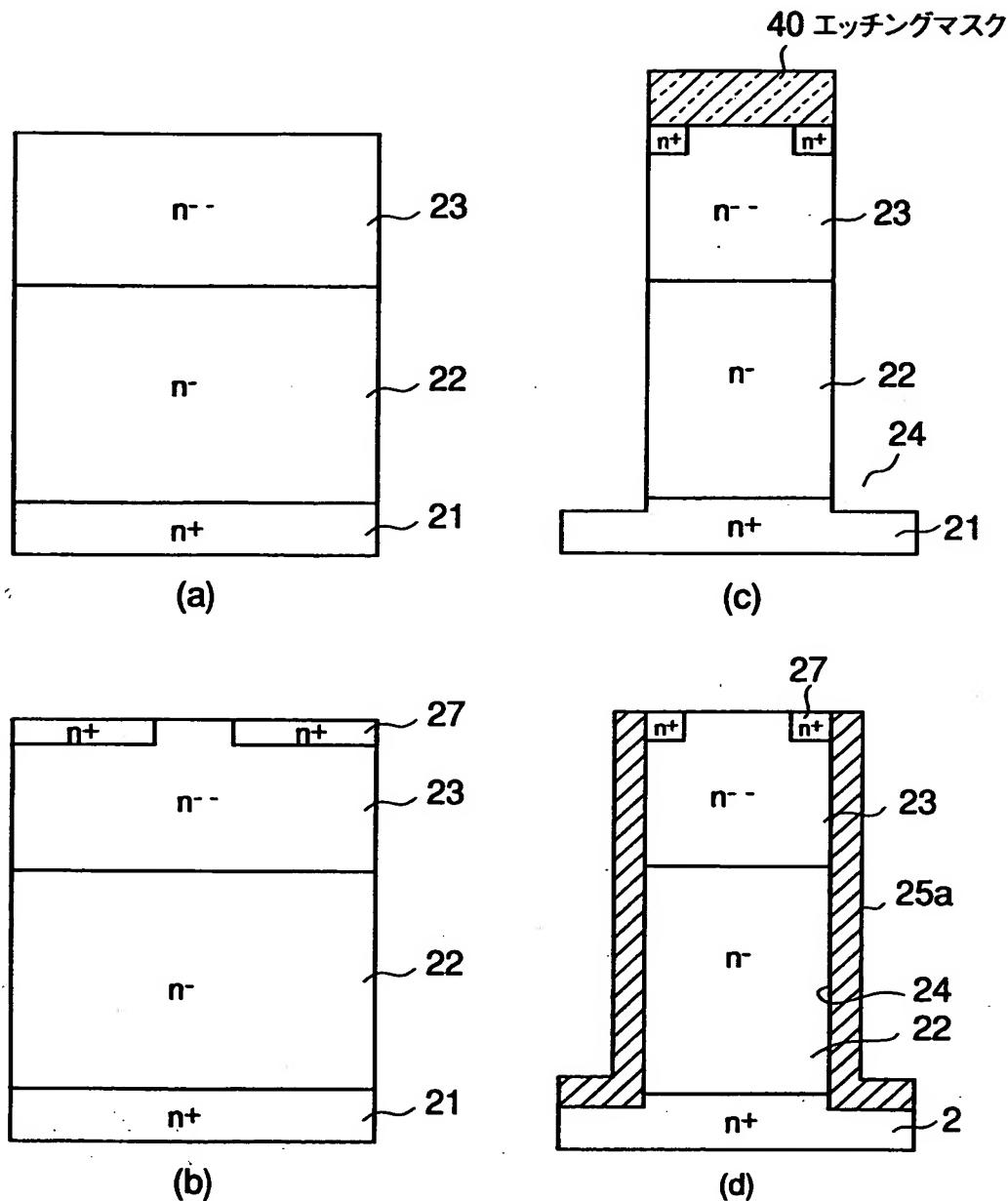


【図5】

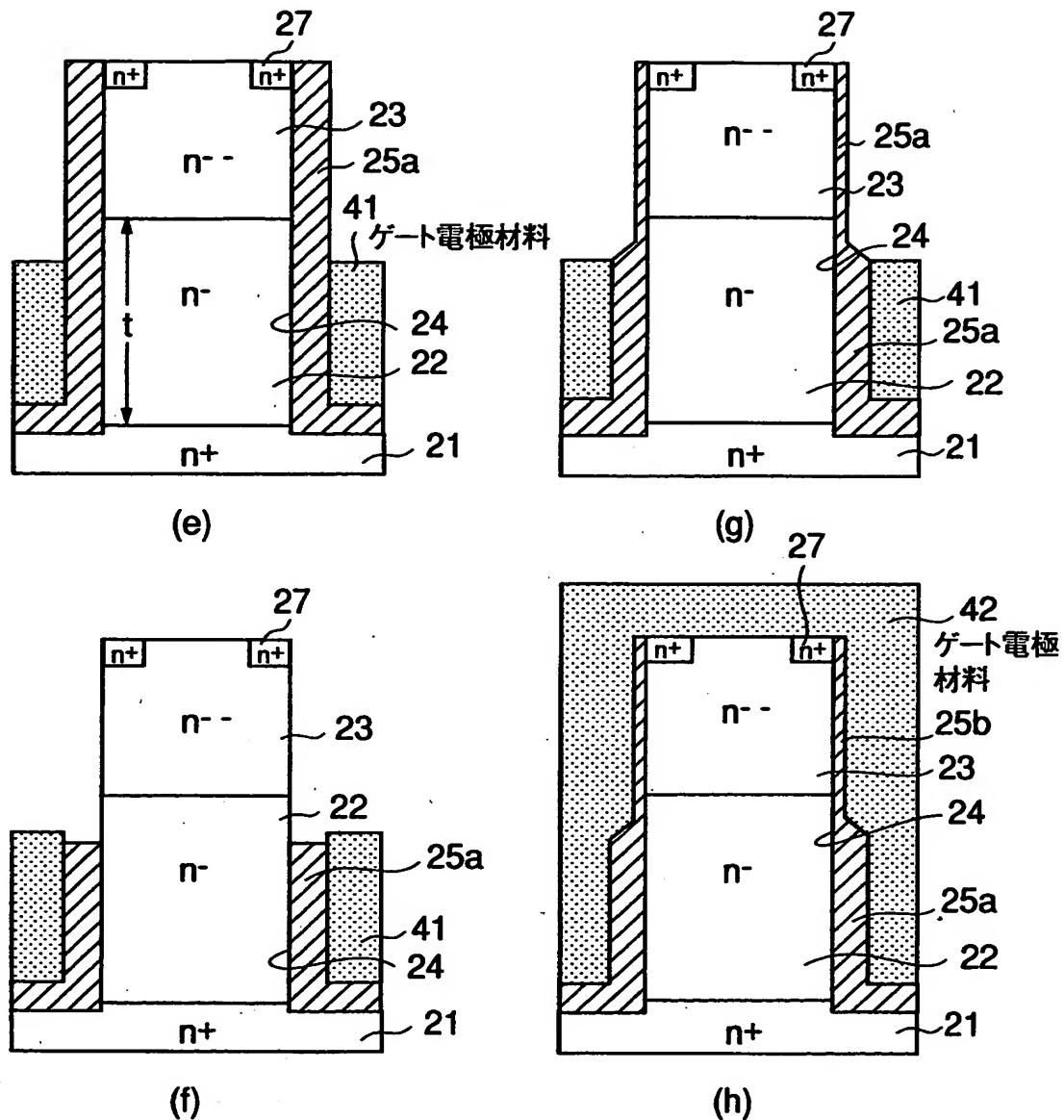


$n$ ドリフト層のドレイン側終端濃度 ( $1.2 \mu\text{m}$ ) ドリフト開始濃度  $4.5 \times 10^{16}$

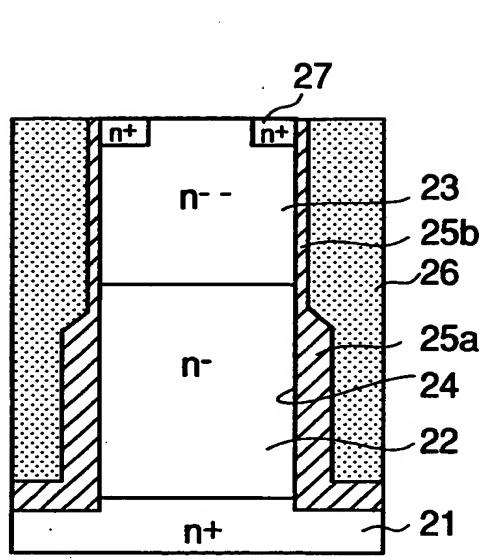
【図6】



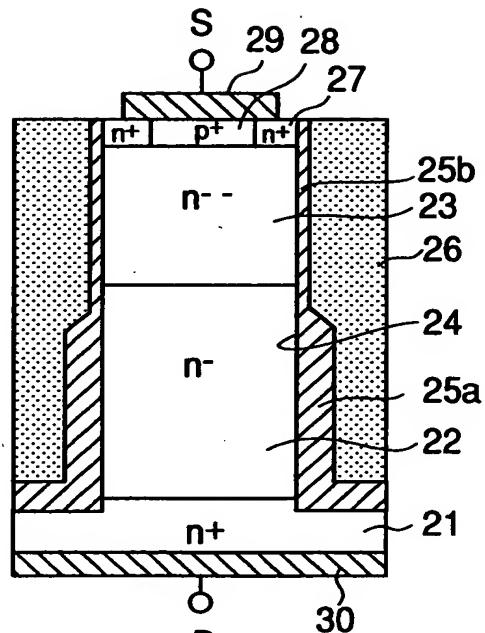
【図7】



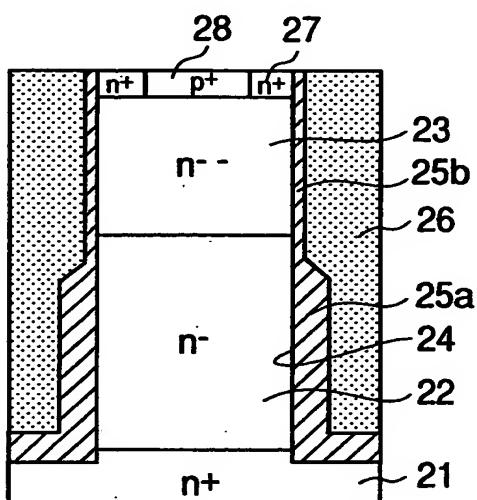
【図8】



(i)

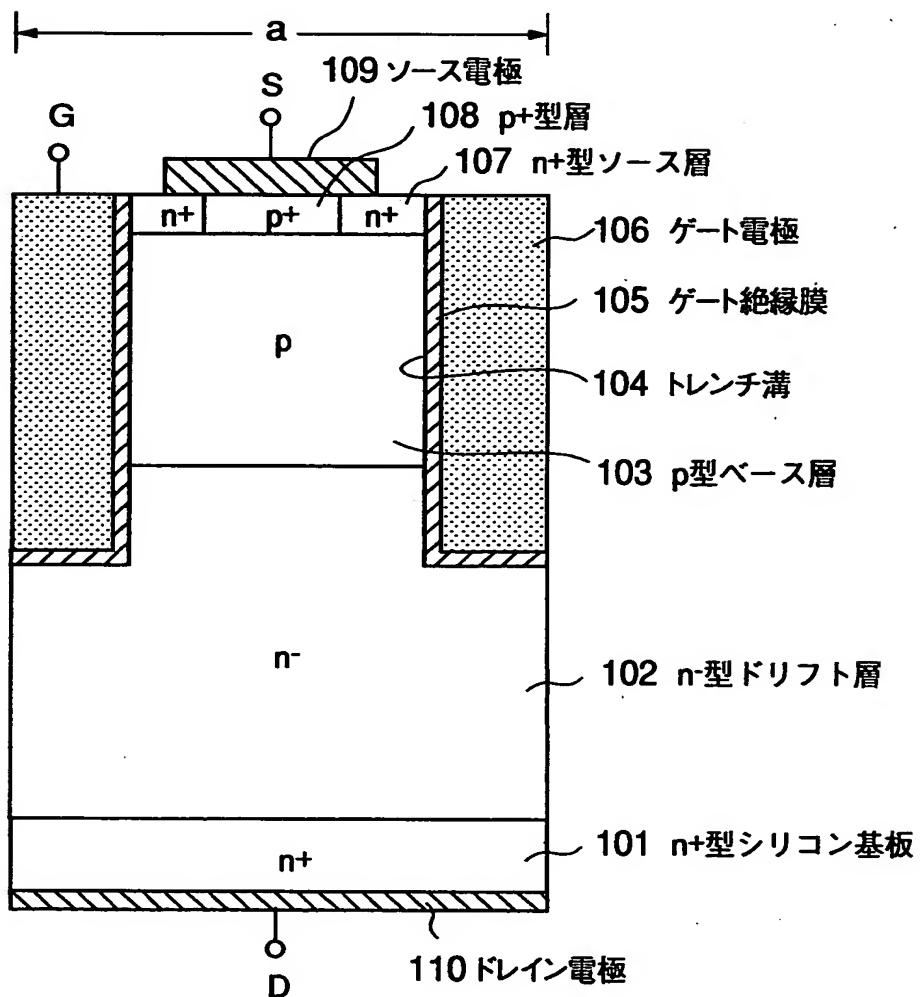


(k)

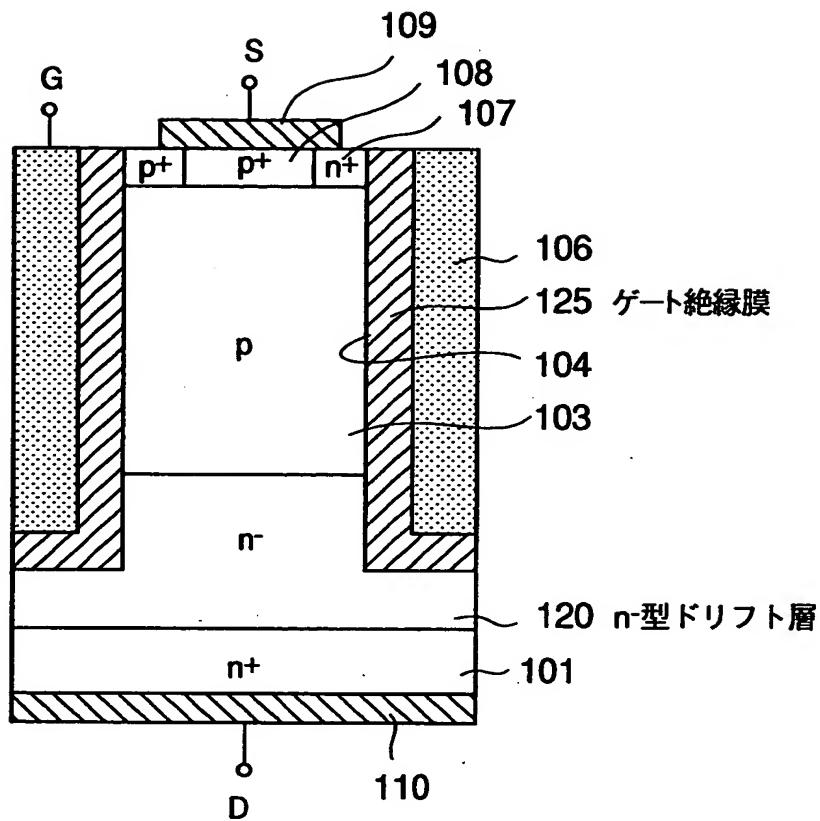


(j)

【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 微細化に対してオン抵抗の低減が可能なパワーMOSFETを提供する。

【解決手段】  $n+$ 型基板1上に積層形成された $n-$ 型ドリフト層2、 $n-$ 型エピタキシャル層3と、エピタキシャル層3の表面からドリフト層2中に達するようく形成されたトレンチ溝4と、トレンチ溝4の側面および底面にゲート絶縁膜5を介してトレンチ溝4内に埋め込まれたゲート電極6と、エピタキシャル層3の表面にトレンチ溝4に接して形成された $n+$ 型ソース層7と、エピタキシャル層3の表面に形成された $p+$ 型層8と、ソース層7及び $p+$ 型層8に接続されたソース電極9と、 $n+$ 基板1の裏面に接続されたドレイン電極10とを具備し、トレンチ溝4に挟まれたエピタキシャル層3は、ソース電極9とゲート電極6間の電圧が印可されないときに空乏化するように形成している。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-066707
受付番号	50100336831
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 3月12日

＜認定情報・付加情報＞

【提出日】 平成13年 3月 9日

次頁無

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月 22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝

2. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝